**Diseño e implementación: Memoria RAM**

Para esta entrega habían varias posibilidades de hacer el diseño de la memoria, por bloques o distribuida, también existía otra opción, que era usar la memoria RAM que provee la Tarjeta de Desarrollo, esta es la mejor opción puesto que posee más espacio de almacenamiento, pero por falta de información de cómo poder conectar los módulos con esta no se pudo realizar, así que se optó por diseñar una memoria RAM por bloques.

El primer paso que se realizó en el diseño fue consultar cuanto es el espacio disponible para poder implementar una memoria de bloques en la FPGA Spartan 3E XC3S500E, el cual aparece en el data sheet [1]. Se averiguo que el espacio disponible que se tenía era de 360Kb que es equivalente a 368640 bits.

El segundo paso fue averiguar cuál va a ser el tamaño de imagen a utilizar y verificar que esta se pueda almacenar en la FPGA, por cuestiones de memoria se optó por utilizar una imagen de 160 x 120 pixeles, con un tamaño de pixel de 8bit, lo cual nos da: 160 x 120 x 8 = 153600 bits.

El último paso fue implementar la RAM de bloques Single Port, para esto nos apoyamos en los códigos de ejemplo que el ISE Design Suite de Xilinx proveía, y acomodamos los valores para poder que la imagen de 160 x 120 pudiera ser almacenada.

**Bibliografía**

* [1] - <http://www.xilinx.com/support/documentation/data_sheets/ds312.pdf>